

Family list
1 application(s) for: JP8008179

1 MANUFACTURE OF SEMICONDUCTOR ELEMENT

Inventor: MITANI YASUHIRO ; NOMURA KATSUMI

Applicant: SHARP KK

EC:

IPC: H01L21/20; H01L21/265; H01L21/268; (+11)

Publication info: JP8008179 (A) — 1996-01-12
JP3025408 (B2) — 2000-03-27

Data supplied from the **esp@cenet** database —

(19) Japan Patent Office (JP)

(12) Publication of Patent Application (A)

(11) Japanese Published Patent Application No. H8-8179

(43) Date of Publication: January 12, Heisei 8 (1996)

(51) Int. Cl. ⁶	Classification Symbol	JPO File Number	FI
Technique Showing Section			
H01L	21/20		
	21/268	Z	
	21/324	D	
	29/786		
		9056-4M	H01L 29/78 311Y

Request for Examination: Not filed

Number of Claims: 2 OL (8 pages in total)

Continued on the last page.

(21) Japanese Patent Application No. H6-137418

(22) Date of Application: June 20, Heisei 6 (1994)

(71) Applicant: 000005049

Sharp Corporation

22-22 Nagaikc-cho, Abeno-ku, Osaka City, Osaka Pref.

(72) Inventor: MITANI Yasuhiro

c/o Sharp Corporation

22-22 Nagaike-cho, Abeno-ku, Osaka City, Osaka Pref.

(72) Inventor: NOMURA Katsumi

c/o Sharp Corporation

22-22 Nagaike-cho, Abeno-ku, Osaka City, Osaka Pref.

(74) Agent: Patent Attorney, YAMAMOYO Shusaku

(54) [Title of the Invention]

METHOD FOR MANUFACTURING SEMICONDUCTOR ELEMENT

(57) [Abstract]

[Object]

To obtain a method for manufacturing a semiconductor element in which, even if variation in irradiation energy is generated in a scanning direction of a long beam in a semiconductor layer to which annealing treatment is performed, defects in TFT characteristics can be prevented from being concentrated along a specific gate bus wiring or source bus wiring, and thus, a malfunction in image display or reading in a liquid crystal panel, an image sensor, or the like with high resolution using the semiconductor layer to which annealing treatment is performed can be overcome.

[Constitution]

When a semiconductor layer 2 over a substrate 1 is annealed by irradiation with a long beam, the long beam is scanned in a direction excluding directions parallel and perpendicular to arrangement regions 18a and 18b of a matrix wiring of the substrate completed.

[Scope of Claims]

[Claim 1]

A method for manufacturing a semiconductor element, comprising the steps of:
annealing a polycrystalline or amorphous semiconductor layer formed over an insulating substrate by irradiation with an energy beam to form a polycrystalline or single crystal semiconductor layer with a larger grain size; and

forming a plurality of desired elements on the semiconductor layer to which the annealing treatment is performed,

wherein the annealing treatment is performed by scanning an energy beam having a long beam shape in a direction excluding directions parallel and perpendicular to an arrangement direction of the elements formed on the semiconductor layer.

[Claim 2]

A method for manufacturing a semiconductor element, comprising the steps of:
annealing a single crystal, polycrystalline, or amorphous semiconductor layer containing an impurity formed over an insulating substrate by irradiation with an energy beam to activate the impurity in the semiconductor layer; and

forming a plurality of elements which use the semiconductor layer to which the annealing treatment is performed as contact regions,

wherein the annealing treatment is performed by scanning an energy beam having a long beam shape in a direction excluding directions parallel and perpendicular to an arrangement direction of the elements formed on the semiconductor layer.

[Detailed Description of the Invention]

[0001]

[Field of Industrial Application]

The present invention relates a method for manufacturing a semiconductor element, which includes a step of stacking a semiconductor layer by a thin film process.

In particular, the present invention relates to an ultraviolet light irradiation method. In the ultraviolet light irradiation method, a polycrystalline or amorphous semiconductor layer formed over a large-area substrate is irradiated with ultraviolet light so as to be annealed, whereby a large-grain polycrystalline or single crystal semiconductor layer is obtained; or a single crystal, polycrystalline, or amorphous semiconductor layer containing activated impurities is obtained by the annealing.

[0002]

[Prior Art]

In recent years, a large-sized liquid crystal panel with high resolution and a high-speed contact type image sensor with high resolution have been increasingly required; therefore, high-performance thin film transistors (TFTs) are desired to be uniformly manufactured over a large-area insulating substrate.

[0003]

Here, for example, a TFT is manufactured as follows: a polycrystalline semiconductor layer is formed over a glass substrate which has a low distortion temperature but is inexpensive and easily increased in area; and a semiconductor active region where a channel is formed, low-resistance source and drain electrodes, and a gate electrode are each formed over the surface of the polycrystalline semiconductor layer. By the way, when the glass substrate having a low distortion temperature as described above is used, it is necessary to reduce thermal damage to the glass substrate, and thus, the polycrystalline semiconductor layer has been obtained by the following methods.

[0004]

In one method, after an amorphous silicon layer (hereinafter also referred to as an a-Si layer) is deposited over a glass substrate, the amorphous silicon layer is

annealed with ultraviolet light emitted from an excimer laser, so that a polycrystalline silicon layer (hereinafter also referred to as a poly-Si layer) is obtained. In another method, after an a-Si layer is deposited over a glass substrate, the a-Si layer is made into a poly-Si layer by solid-phase growth using a thermal diffusion furnace or the like, and the poly-Si layer is annealed with ultraviolet light emitted from an excimer laser, so that a large-grain poly-Si layer is obtained.

[0005]

The ultraviolet light emitted from the excimer laser can be made into a beam spot having a size of approximately $10\text{ mm} \times 10\text{ mm}$ through a beam homogenizer or the like, but the beam spot is small compared to the glass substrate. Therefore, as illustrated in FIG. 6, while a beam spot 3 of an excimer laser beam was scanned over a glass substrate 1, laser pulsed irradiation was continuously performed, whereby annealing treatment of a polycrystalline or amorphous semiconductor layer 2 with a large area deposited over the glass substrate was performed.

[0006]

In that case, in order not to generate a part which is not irradiated with ultraviolet light and to prevent incomplete annealing due to drastically reduced irradiation energy in end portions of an irradiation region of the beam spot, a measure is taken, for example, irradiation with the beam spot is performed so that end portions of adjacent irradiation regions are overlapped. Various laser irradiation methods as described above are described in, for example, Japanese Published Patent Application No. S58-56316, H3-72617, and H5-190451, and Examined Patent Application Publication No. H5-80159.

[0007]

Further, although ultraviolet light emitted from an excimer laser can be formed into a long beam shape through a beam homogenizer, an optical unit, or the like, this long and narrow beam shape cannot cover an entire surface of a glass substrate with a size of, for example, 10 cm × 10 cm. Therefore, as illustrated in FIG. 7, a long beam of an excimer laser was moved relatively in a predetermined direction, for example, a direction perpendicular to the longitudinal direction, over a glass substrate 1, and pulsed laser irradiation was continuously performed, whereby a large-area polycrystalline or amorphous semiconductor layer 2 deposited over the glass substrate was annealed (refer to Japanese Published Patent Application No. H3-286518). Note that in FIG. 7, reference numeral 18a denotes a region where a gate bus wiring should be arranged, and 18b denotes a region where a source bus wiring orthogonal to the gate bus wiring should be arranged. Each of reference numerals 19a and 19b denotes a region where a driver of each bus wiring should be arranged on one end side of the arrangement region 18a or 18b of each bus wiring. In addition, the above annealing treatment is not only performed in the case of crystallization of the semiconductor layer but is also performed in a manner similar to the above in the case of activation of the semiconductor layer containing impurities.

[0008]

[Problems to be solved by the Invention]

However, in the above beam spot irradiation method, it is difficult to make the amount of total energy given to a part where the beam spots overlap equal to that in other parts where the beam spots do not overlap so as to make irradiation energy uniform in an entire beam irradiation region. Consequently, there were problems in that in the overlapping part, film stress was increased and surface planarity was

decreased, whereby a high-quality polycrystalline semiconductor layer could not be obtained.

[0009]

In addition, as shown in FIG. 5, there are generated similar problems also when the beam spots are displaced at a pitch that is sufficiently small compared to its size in a scanning direction and pulsed irradiation with the beam spot is performed at every pitch. This is because there is several % of variation in amount of irradiation energy among irradiation shots of the beams, and thus, the amount of total irradiation energy does not become uniform in each part on the semiconductor layer.

[0010]

Further, as illustrated in FIG. 7, by using a long beam, uniformity of irradiation energy in a longitudinal direction is improved, but uniformity of irradiation energy in a scanning direction is not improved. This is because there is variation in energy among irradiation shots of the beams also in the case of a long beam, similarly to the above beam spot. Therefore, variation in TFT characteristics is generated in a direction perpendicular to a longitudinal direction (scanning direction) of the long beam. For example, in the long beam irradiation treatment illustrated in FIG. 7, the scanning direction of the long beam corresponds to a direction in which the source bus wiring extends. Thus, defects are generated along the gate bus wiring orthogonal to the source bus wiring.

[0011]

Consequently, in a liquid crystal panel, an image sensor, or the like with high resolution, a malfunction in image display or reading, which is generated due to variation in TFT characteristics, is easily recognized by human eyes.

[0012]

This invention is to overcome the above problems. It is an object of the present invention to obtain a method for manufacturing a semiconductor element in which, even if variation in irradiation energy is generated in a scanning direction of a long beam in a semiconductor layer to which annealing treatment is performed, variation in characteristics of a TFT formed on the semiconductor layer can be prevented from being along a gate bus wiring or a source bus wiring, and thus, influence of variation in TFT characteristics in a liquid crystal panel, an image sensor, or the like with high resolution can be reduced.

[0013]

[Means for solving the Problems]

A method for manufacturing a semiconductor element of this invention includes the steps of annealing a polycrystalline or amorphous semiconductor layer formed over an insulating substrate by irradiation with an energy beam to form a polycrystalline or single crystal semiconductor layer with a larger grain size; and forming a plurality of desired elements on the semiconductor layer to which the annealing treatment is performed, where the annealing treatment is performed by scanning an energy beam having a long beam shape in a direction excluding directions parallel and perpendicular to an arrangement direction of the elements formed on the semiconductor layer. Accordingly, the above object is achieved.

[0014]

A method for manufacturing a semiconductor element of this invention includes the steps of annealing a single crystal, polycrystalline, or amorphous semiconductor layer containing an impurity formed over an insulating substrate by

irradiation with an energy beam to activate the impurity in the semiconductor layer; and forming a plurality of elements which use the semiconductor layer to which the annealing treatment is performed as contact regions, where the annealing treatment is performed by scanning an energy beam having a long beam shape in a direction excluding directions parallel and perpendicular to an arrangement direction of the elements formed on the semiconductor layer. Accordingly, the above object is achieved.

[0015]

[Effect]

In this invention, when a semiconductor layer over a substrate is annealed by irradiation with a long beam, the long beam is scanned in a direction excluding directions parallel and perpendicular to an arrangement direction of elements formed on the semiconductor layer. Therefore, even if variation in irradiation energy is generated in a scanning direction of the long beam, variation in characteristics of elements such as TFTs formed on the semiconductor layer can be prevented from being generated in an arrangement direction of the elements.

[0016]

Accordingly, in a liquid crystal panel, an image sensor, or the like with high resolution having a TFT for each pixel, even if variation in TFT characteristics is generated in a scanning direction of the beam, generation of defects of the pixels can be prevented from being along a gate bus wiring or a source bus wiring. Consequently, in a liquid crystal panel, an image sensor, or the like with high resolution, a malfunction in image display or reading, which is generated due to variation in TFT characteristics, cannot be easily recognized by human eyes.

[0017]

[Embodiment]

Hereinafter, an embodiment of the present invention will be described.

[0018]

(Embodiment 1)

FIG. 1 is a view for explaining annealing treatment in a method for manufacturing a semiconductor element according to one embodiment of the present invention, and FIG. 2 are views for explaining the method for manufacturing the semiconductor element in the order of steps. In the drawings, reference numeral 2 denotes an amorphous silicon layer formed over a glass substrate 1. Over the amorphous silicon layer 2, a region 18a where a gate bus wiring 8a should be arranged and a region 18b where a source bus wiring 8b orthogonal to the gate bus wiring 8a should be arranged are provided. On one end side of the region 18a or 18b where each bus wiring is arranged, a region 19a or 19b where a driver of each bus wiring should be arranged is provided. Here, an irradiation region A of a long beam is set so that its longitudinal direction is neither parallel nor perpendicular to a direction in which each wiring extends. A scanning direction of the irradiation region A over the glass substrate 1 is perpendicular to its longitudinal direction.

[0019]

Next, a manufacturing method will be described.

[0020]

In a large-area liquid crystal panel or contact type image sensor, a plurality of thin film transistors are formed over an insulating substrate as active elements. The glass substrate 1 is used as the insulating substrate, and the amorphous silicon film (a-Si

film) 2 is deposited over the surface of the glass substrate 1 by an LP (liquid phase) CVD method at a deposition temperature of 550 °C with a thickness of 50 nm (FIG. 2(a)).

[0021]

Next, by irradiation with ultraviolet light from an excimer laser (XeCl 308 nm), the a-Si layer 2 is annealed, so that a polycrystalline silicon layer (poly-Si layer) 2a is formed (FIG. 2(b)).

[0022]

The a-Si film 2 may also be deposited by a sputtering method, a PE (plasma) CVD method, or the like. In addition, annealing treatment may also be performed with an excimer laser (KrF 248 nm).

[0023]

A long beam of the excimer laser can be obtained by transmitting an output beam of the excimer laser through a beam homogenizer, an optical unit (not illustrated), or the like. For example, the irradiation region A of the long beam has a size of about 200 mm × 0.5 mm for a substrate having a screen of 5 inches per side. In this case, uniformity of energy within the long beam can be made less than or equal to ± 5 percents.

[0024]

The above crystallization annealing is performed by relatively moving the excimer laser and a stage of the substrate so that an angle θ between the scanning direction of the long beam and a matrix wiring of the substrate completed, i.e., the gate bus wiring or the source bus wiring is an angle except for 0° and 90°, preferably an

angle in the range of $30^\circ \sim 60^\circ$ or $120^\circ \sim 150^\circ$.

[0025]

FIG. 1 illustrates a state where the long beam is moved over the amorphous silicon film 2 deposited over the glass substrate 1 by less than or equal to 0.5 mm, e.g., 0.1 mm, so that the entire surface of the amorphous silicon film 2 is scanned.

[0026]

First, the substrate is put on the stage so that the angle θ between the scanning direction of the long beam and the matrix wiring to be put on the substrate is a predetermined angle except for 0° and 90° . The irradiation region A of the long beam is placed at a corner of the glass substrate 1 on the right side of the page, the irradiation region A is moved at a pitch of 0.1 mm to the left side direction (X direction) of the page, and one shot of pulsed laser irradiation is performed every time it is moved by 1 pitch.

[0027]

Accordingly, the entire surface of the amorphous silicon film 2 deposited over the glass substrate 1 is scanned with the irradiation region A of the long beam. At this time, energy density in the irradiation region is $250 \text{ mJ/cm}^2 \sim 450 \text{ mJ/cm}^2$.

[0028]

Note that the annealing treatment may be performed by scanning the entire surface of the amorphous silicon layer 2 with the long beams with different energy densities twice or more or by heating the substrate at $200^\circ\text{C} \sim 500^\circ\text{C}$.

[0029]

Next, the polycrystalline silicon layer 2a is patterned into an island-shape to form an island-like portion 3 in each thin film transistor. Then, a silicon oxide (SiO_2)

film is deposited by a TEOS (tetraethylorthosilane) CVD method with a thickness of 100 nm, so that a gate insulating film 4 is formed. An aluminum (Al) film is deposited thereover by a sputtering method, the aluminum film is patterned by a photolithography method, and the gate bus wiring 8a including a gate electrode 5 is formed (FIG. 2(c)).

[0030]

Next, a predetermined ion, e.g., phosphorus for an n-ch TFT or boron for a p-ch TFT, is implanted into the island-like portion 3 by an ion implantation method. Then, impurities are activated by activation annealing by excimer laser irradiation, so that a source region 3a and a drain region 3b are formed in the island-like portion 3.

[0031]

This activation annealing is performed similarly to the crystallization annealing illustrated in FIG. 1. At this time, the long beam is moved relatively to the glass substrate so that the angle θ between the scanning direction of the long beam of the excimer laser and the matrix wiring of the substrate completed is an angle except for 0° and 90° , preferably an angle in the range of $30^\circ \sim 60^\circ$ or $120^\circ \sim 150^\circ$. Accordingly, the entire surface of the island-like portion 3 including the source region 3a and the drain region 3b formed over the glass substrate 1 is scanned with the long beam. At this time, energy density in the irradiation region of the long beam is $250 \text{ mJ/cm}^2 \sim 450 \text{ mJ/cm}^2$.

[0032]

Next, silicon nitride (SiN_x) is deposited by a PE (plasma) CVD method with a thickness of 400 nm, so that an interlayer insulating film 6 is formed. The interlayer insulating film 6 may also be silicon oxide (SiO_2) formed by a TEOSCVD method.

[0033]

A contact hole 7 is opened in a portion corresponding to each of the source region 3a and the drain region 3b in the gate insulating film 4 and the interlayer insulating film 6. Then, an aluminum film is deposited and patterned, so that wirings 8b and 8c are formed (FIG. 2(d)).

[0034]

Next, an operation effect will be described.

[0035]

When the long beam of the excimer laser is scanned so that the irradiation region A is displaced at a pitch of 0.1 mm as described above, even if there is variation in energy density in the scanning direction of the long beam, uniformity in crystallization treatment and activation treatment can be achieved. This is because the irradiation region A progresses at a small pitch as shown in FIG. 4, and thus, the amount of total irradiation energy is uniform in each part of the amorphous silicon layer.

[0036]

However, although variation among irradiation shots of the long beam is absorbed and homogenized to some extent since the irradiation region A progresses at a small pitch as shown in FIG. 5, it is not homogenized completely and slightly influences the crystallization treatment and the activation treatment.

[0037]

When variation in TFT characteristics due to this slight variation is generated along the gate bus wiring 8a or the source bus wiring 8b, in a liquid crystal panel, an image sensor, or the like with high resolution, a malfunction in image display or reading, which is generated due to variation in TFT characteristics, is easily recognized by human eyes.

[0038]

In addition, the driver of each bus wiring has a structure in which a plurality of the same circuits are arranged along the arrangement direction of the corresponding bus wiring so that connection with each bus wiring can be easily obtained. Therefore, when variation in TFT characteristics due to variation of each irradiation shot is generated along, for example, the gate bus wiring, not only some source bus wirings intensively have crystallization or activation defects, but also circuits corresponding to the wirings on which defects are concentrated have characteristic defects. Consequently, a malfunction due to variation in TFT characteristics gets more prominent (FIG. 3(b)).

[0039]

On the other hand, when the scanning direction of the energy beam is made oblique to the matrix wiring of the substrate as in this embodiment, slight variation in TFT characteristics can be prevented from being generated along the gate bus wiring 8a or the source bus wiring 8b. Accordingly, in a liquid crystal panel, an image sensor, or the like with high resolution, a malfunction in image display or reading, which is generated due to variation in TFT characteristics, cannot be easily recognized by human eyes (FIG. 3(a)).

[0040]

In this embodiment, when the semiconductor layer over the substrate is annealed by irradiation with the long beam as described above, the semiconductor layer is scanned in such a direction that the angle θ between the scanning direction of the long beam and the matrix wiring of the substrate completed is an angle except for 0° and 90° . Therefore, even if variation in TFT characteristics is generated in a longitudinal

direction of the beam, defects can be prevented from being generated along the gate bus wiring or the source bus wiring. Accordingly, in a liquid crystal panel, an image sensor, or the like with high resolution using the semiconductor layer processed with the long beam, a malfunction in image display or reading cannot be easily recognized by human eyes.

[0041]

Although this embodiment describes the case where the polycrystalline silicon layer is used as a semiconductor active layer of the thin film transistor, the polycrystalline silicon layer may also be used as a gate electrode, a wiring, or the like. In addition, the present invention is not only applied to modification of quality of the polycrystalline silicon layer but also to formation of other semiconductor films of single crystal silicon, Ge, Si-Ge, and the like.

[0042]

[Effect of the Invention]

As described above, according to the present invention, when a semiconductor layer over a substrate is annealed by irradiation with a long beam, the long beam was scanned in a direction excluding directions parallel and perpendicular to an arrangement direction of elements formed on the semiconductor layer. Therefore, even if variation in irradiation energy is generated in a scanning direction of the long beam, variation in characteristics of elements such as TFTs formed on the semiconductor layer can be prevented from being generated in an arrangement direction of the elements.

[0043]

Accordingly, in a liquid crystal panel, an image sensor, or the like with high resolution having a TFT for each pixel, even if variation in TFT characteristics is

generated in a scanning direction of the beam, generation of defects of the pixels can be prevented from being along a gate bus wiring or a source bus wiring. Consequently, in a liquid crystal panel, an image sensor, or the like with high resolution, a malfunction in image display or reading, which is generated due to variation in TFT characteristics, cannot be easily recognized by human eyes.

[Brief Description of the Drawings]

[FIG. 1] A view for explaining annealing treatment by irradiation with a long beam, in a method for manufacturing a semiconductor element according to one embodiment of the present invention.

[FIG. 2] Cross-sectional views illustrating manufacturing steps of a thin film transistor, in a method for manufacturing a semiconductor element according to the embodiment.

[FIG. 3] Schematic views for explaining states of image display in liquid crystal panels and the like using thin film transistors formed using annealing treatment of the present invention and conventional annealing treatment.

[FIG. 4] A view showing a uniform distribution of energy density in a scanning direction of a long beam using a graph.

[FIG. 5] A view showing a non-uniform distribution of energy density in a scanning direction of a long beam using a graph.

[FIG. 6] A view for explaining annealing treatment by irradiation with a beam spot, in a conventional method for manufacturing a semiconductor element.

[FIG. 7] A view for explaining annealing treatment by irradiation with a long beam, in a conventional method for manufacturing a semiconductor element.

[Explanation of Reference]

1 glass substrate

2	amorphous silicon layer
2a	polycrystalline silicon layer
3a	source region
3b	drain region
4	gate insulating film
5	gate electrode
6	interlayer insulating film
7	contact hole
8a	gate bus wiring
8b	source bus wiring
8c	drain electrode (pixel)
18a	arrangement region of gate bus wiring
18b	arrangement region of source bus wiring
19a, 19b	arrangement region of driver
A	irradiation region of long beam

Continuation of the front page.

(51) Int.Cl. ⁶	Identification Symbol	JPO File Number	FI
Technique Showing Section			
H01L	21/336		

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平8-8179

(43) 公開日 平成8年(1996) 1月12日

(51) Int.Cl. ⁴	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L	21/20			
	21/268	Z		
	21/324	D		
	29/786			
	9056-4M		H 0 1 L 29/ 78	3 1 1 Y
審査請求	未請求	請求項の数 2	〇 L (全 8 頁)	最終頁に続く

(21) 出願番号 特願平6-137418

(22) 出願日 平成6年(1994) 6月20日

(71) 出願人 000005049

シャープ株式会社

大阪府大阪市阿倍野区長池町22番22号

(72) 発明者 三谷 廣弘

大阪府大阪市阿倍野区長池町22番22号 シ

ャープ株式会社内

(72) 発明者 野村 克己

大阪府大阪市阿倍野区長池町22番22号 シ

ャープ株式会社内

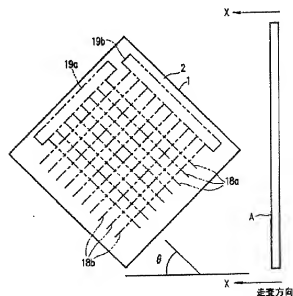
(74) 代理人 弁理士 山本 秀策

(54) 【発明の名称】 半導体素子の製造方法

(57) 【要約】

【目的】 アニール処理を施した半導体層において、長尺ビームの走査方向に照射エネルギーのバラツキが生じても、T F T特性の不良が特定のゲートバス配線あるいは特定のソースバス配線に沿って集中するのを回避することができ、これにより上記アニール処理を施した半導体層を用いた高解像度の液晶パネルやイメージセンサなどにおいて、画像表示や読み取りをする上での不具合を解消できる半導体素子の製造方法を得る。

【構成】 基板1上の半導体層2を長尺ビームの照射によりアニールする際、該長尺ビームを、基板完成時のマトリクス配線の配置領域18a、18bに平行な方向及び垂直な方向以外の方向に走査する。



1

【特許請求の範囲】

【請求項1】 絶縁性基板上に形成した多結晶または非晶質の半導体層をエネルギービームの照射によりアニールして、より大粒径の多結晶あるいは単結晶の半導体層を形成する工程と、

該アニール処理を施した半導体層に所望の素子を複数形成する工程とを含む、

該アニール処理は、長尺のビーム形状を有するエネルギービームを、該半導体層に形成される素子の配列方向に対して平行な方向及び垂直な方向以外の方向に走査して行う半導体素子の製造方法。

【請求項2】 絶縁性基板上に形成された不純物を含む単結晶、多結晶または非晶質の半導体層を、エネルギービームの照射によりアニールして該半導体層の不純物を活性化する工程と、

該アニール処理を施した半導体層をコンタクト領域とする素子を複数形成する工程とを含む、

該アニール処理は、長尺のビーム形状を有するエネルギービームを、該半導体層に形成される素子の配列方向に対して平行な方向及び垂直な方向以外の方向に走査して行う半導体素子の製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、薄膜プロセスにより半導体層を積層形成する工程を含む半導体素子の製造方法に関する。特に、本発明は、大面積基板上に形成した多結晶または非晶質半導体層上に紫外線を照射してアニールすることにより、大粒径の多結晶または単結晶からなる半導体層を得たり、上記アニールにより、不純物が活性化された単結晶、多結晶または非晶質からなる半導体層を得たりする際の紫外線の照射方法に関する。

【0002】

【従来の技術】近年、大型で高解像度の液晶パネルや、高速で高解像度の密着型イメージセンサへの要求が高まるにつれ、大面積の絶縁性基板上に高性能な薄膜トランジスタ（TFT）を均一に作製することが望まれている。

【0003】ここでTFTは、例えば、熔点温度は低いが安価で大面積化が容易なガラス基板上に多結晶半導体層を形成し、この多結晶半導体層の表面に、チャンネルが形成される半導体活性領域、低抵抗のソース及びドレイン電極、ゲート電極を各々形成して作製される。ところで、上記至点温度が低いガラス基板を使用した場合、ガラス基板への熱ダメージを少なくする必要があるのと、次のような方法で多結晶半導体層を得ていた。

【0004】1つは、ガラス基板上にアルファシリコン層（以下、a-Si層ともいう。）を堆積した後、これをエキシマレーザから照射される紫外線でアニールすることにより多結晶シリコン層（以下、polys-Si層ともいう。）を得る方法である。もう1つは、ガラ

2

ス基板上にa-Si層を堆積した後、これを熱拡散炉などによる固相成長によりpolys-Si層とし、エキシマレーザから照射される紫外線でアニールすることにより、大粒径のpolys-Si層を得る方法である。

【0005】上記エキシマレーザから照射される紫外線は、ビームホモジナイザー等を介することにより約10mm角のビームスポットとすることができるが、ガラス基板に比較して小さい。このため、図6に示すように、ガラス基板1上でエキシマレーザのビームスポット3を走査しつつ、レーザのパルス照射を連続して行って、ガラス基板上に堆積された大面積の多結晶または非晶質半導体層2のアニール処理を行っていた。

【0006】その際、紫外線が照射されない部分が発生しないようにするため、及びビームスポットの照射領域端部で照射エネルギーが急激に減少することからアニールが不完全になるのを防止するため、ビームスポットの照射を、隣接する照射領域の端部が重なり合うよう行うなどの対策を講じている。このようなレーザ照射の方法については、例えば、特開昭58-56316号公報、特開平3-72617号公報、特公平5-80159号公報、特開平5-190451号公報に様々なものが示されている。

【0007】また、エキシマレーザから照射される紫外線を、ビームホモジナイザー、光学ユニット等を介することにより長尺のビーム形状にすることもできるが、この細長いビーム形状では、例えば10cm角といった大きさのガラス基板全面を覆うことができない。このため、図7に示すように、ガラス基板1上でエキシマレーザの長尺ビームを所定の方向、例えば該長尺方向と直角方向に相対的に移動させつつ、パルスのレーザ照射を連続して行って、ガラス基板上に堆積された大面積の多結晶または非晶質半導体層2をアニールすることが行われていた（特開平3-286518号公報参照）。なお図7中、18aはゲートバス配線を配置すべき領域、18bは該ゲートバス配線と直交するソースバス配線を配置すべき領域である。19a、19bは各バス配線の配置領域18a、18bの一端側の、各バス配線のドライバを配置すべき領域である。また、上記アニール処理は、半導体層の結晶化の場合だけでなく、不純物を含む半導体層の活性化の場合にも上記と同様に行われる。

【0008】

【発明が解決しようとする課題】しかしながら、上記ビームスポットによる照射方法では、該ビームスポットの重なり部分において照射される総エネルギー量を、該重なり部分以外の他の部分と同じにして、ビームの照射領域全体で照射エネルギーを均一なものにするのが困難である。その結果、その重なり部分で膜ストレスが増加したり表面平坦性が劣化したりして、高品質な多結晶半導体層を得ることができないという問題点があった。

【0009】また、図5に示すように、上記ビームス

3

ットを、その大きさに比べて十分小さいピッチで走査方向にずらしながら、各ピッチ毎に該ビームスポットのバルビュラの照射を行って、前記同様の問題点が生じる。これは、ビームの照射ショット間での照射エネルギー量のバラツキが数%存在するために、半導体層上での各部分において照射される総エネルギー量が均一なものとならないからである。

【0010】また、図7に示すように、長尺ビームを用いることにより、長尺方向の照射エネルギーの均一性は改善されるが、走査方向については照射エネルギーの均一性は改善されない。これは、長尺ビームの場合も上記ビームスポットの場合と同様、ビームの照射ショット間でのエネルギーのバラツキがあるからである。従って、長尺ビームの長手方向と直角方向（走査方向）にTFT特性のバラツキが発生してしまう。例えば、図7に示す長尺ビームの照射処理では、上記長尺ビームの走査方向は、ソースバス配線の延びる方向と一致しているため、該ソースバス配線と直交するゲートバス配線に沿った不良の発生を招くことになる。

【0011】この結果、高解像度の液晶パネルやイメージセンサー等においては、このようなTFT特性のバラツキに起因して生ずる、画面表示や読み取りを行う上での不良率が、人の目に付き易いものとなってしまう。

【0012】この発明は、上記問題点を解決しようとして成されたものであり、アニール処理を施した半導体層において、長尺ビームの走査方向に照射エネルギーのバラツキが生じて、該半導体層に形成されるTFT特性のバラツキがゲートバス配線やソースバス配線に沿ったものとなるのを回避することができ、これにより高解像度の液晶パネルやイメージセンサーなどにおけるTFT特性のバラツキの影響を低減することができる半導体素子の製造方法を得ることが本発明の目的である。

【0013】

【課題を解決するための手段】この発明の半導体素子の製造方法は、絶縁性基板上に形成した多結晶または非晶質の半導体層をエネルギービームの照射によりアニールして、より大粒径の多結晶あるいは単結晶の半導体層を形成する工程と、該アニール処理を施した半導体層に所望の素子を複数形成する工程とを含み、該アニール処理は、長尺のビーム形状を有するエネルギービームを、該半導体層に形成される素子の配列方向に対して平行な方向及び垂直な方向以外の方向に走査して行うようにしており、そのことにより上記目的が達成される。

【0014】この発明の半導体素子の製造方法は、絶縁性基板上に形成された不純物を含む単結晶、多結晶または非晶質の半導体層を、エネルギービームの照射によりアニールして該半導体層の不純物を活性化する工程と、該アニール処理を施した半導体層をコンタクト領域に用いた素子を複数形成する工程とを含み、該アニール処理は、長尺のビーム形状を有するエネルギービームを、該

4

半導体層に形成される素子の配列方向に対して平行な方向及び垂直な方向以外の方向に走査して行うようにしており、そのことにより上記目的が達成される。

【0015】

【作用】この発明においては、基板上の半導体層を長尺ビームの照射によりアニールする際、該半導体層に形成される素子の配列方向に対して平行な方向及び垂直な方向以外の方向に上記長尺ビームを走査するようにしたから、該長尺ビームの走査方向に照射エネルギーのバラツキが生じて、該半導体層に形成されるTFTなどの素子の特性のバラツキが素子の配列方向において生ずるのを回避することができる。

【0016】これにより、画素ごとにTFTを有する高解像度の液晶パネルやイメージセンサーなどにおいて、上記ビームの走査方向にTFT特性のバラツキが発生しても、画素の不良の発生がゲートバス配線又はソースバス配線に沿ったものとなるのを回避することができる。この結果、高解像度の液晶パネルやイメージセンサーなどにおいてTFT特性のバラツキに起因して生ずる、画面表示や読み取りを行う上での悪影響を、人の目に感じにくいものとする。

【0017】

【実施例】以下、本発明の実施例について説明する。

【0018】（実施例1）図1は本発明の一実施例による半導体素子の製造方法におけるアニール処理を説明するための図、図2は該半導体素子の製造方法を工程順に説明するための図である。図において、2はガラス基板1上に形成されたアモルファスシリコン層で、該アモルファスシリコン層2上には、ゲートバス配線8aを配置すべき領域18a、及び該ゲートバス配線8aと直交するソースバス配線8bを配置すべき領域18bが設定されている。上記各バス配線の配置領域18a、18bの一端側には、それぞれ該各バス配線のドライバーを配置すべき領域19a、19bが設定されている。ここで、長尺ビームの照射領域Aは、その長手方向が上記各配線の延びる方向と平行にあるいは直角にならないよう設定されている。この照射領域Aの、上記ガラス基板1上での走査方向は、その長手方向と直角方向である。

【0019】次に製造方法について説明する。

【0020】大面積の液晶パネルや密着型イメージセンサーでは、能動素子として複数の薄膜トランジスタが絶縁性基板上に形成される。該絶縁性基板としてガラス基板1を使用し、ガラス基板1の表面にLP（微相）CVD法により550℃の着膜温度で50nmの厚膜にアモルファスシリコン膜（a-Si膜）2を堆積する（図2（a））。

【0021】次に、エキシマレーザー（XeCl 308nm）からの紫外線の照射により、上記a-Si層2のアニールを行って多結晶シリコン層（poly-Si）層2aを形成する（図2（b））。

5

【0022】上記a-Si膜2の堆積は、スパッタ法、PE（プラズマ）CVD法等で行っても良く、また、アニール処理はエキシマレーザ（KrF 248nm）で行っても良い。

【0023】エキシマレーザの長尺ビームは、エキシマレーザの出力ビームをビームホモジナイザー、光学ユニット（図示せず）等を介することにより得ることができる。例えば、5 inch角の画面の基板に対しては、長尺ビームの照射領域Aは、約200mm、0.5mm角の大きさとする。この場合、長尺ビーム内のエネルギーの均一性は-5パーセント以下にできる。

【0024】上記結晶化アニールは、エキシマレーザと基板のステージとを、長尺ビームの走査方向と基板完成時のマトリクス配線、つまりゲートバス配線またはソースバス配線とのなす角度θが0°及び90°以外の角度、好ましくは30°～60°又は120°～150°の範囲内の角度となるよう相対的に移動させることにより行う。

【0025】図1は、ガラス基板1上に堆積されたアモルファスシリコン膜2上を長尺ビームが0.5mm以下、例えば0.1mmずつ移動して、アモルファスシリコン膜2の表面全体を走査する様子を示している。

【0026】まず初めに、基板をステージ上に、長尺ビームの走査方向と、基板上に配線されるべきマトリクス配線とのなす角度θが0度及び90度以外の所定の角度となるよう設置する。ガラス基板1の紙面右側の角に長尺ビームの照射領域Aを位置させ、この照射領域Aを紙面左側方向（X方向）へ0.1mmのピッチで移動させ、1ピッチ移動させる度にレーザのバルス照射をワンショット行う。

【0027】これにより、ガラス基板1上に堆積されたアモルファスシリコン膜2の全面に渡って長尺ビームの照射領域Aによる走査が行われる。このとき照射領域Aにおけるエネルギー密度は250mJ/cm²～450mJ/cm²とする。

【0028】なお、上記アニール処理は、アモルファスシリコン層2の全面をエネルギー密度の異なる長尺ビームで2回以上走査して行っても良い、基板を200℃～500℃に加熱して行っても良い。

【0029】次に、多結晶シリコン層2aを島状にパターンニングして各薄膜トランジスタについて島状部3をそれぞれ形成する。次いで、TEOS（テトラエチルオキシラン）CVD法により100nmの厚膜で酸化シリコン（SiO₂）膜を堆積してゲート絶縁膜4を形成する。その上にスパッタ法によりアルミニウム（Al）膜を堆積し、このアルミニウム膜をフォトリソグラフィ法によりパターンニングして、ゲート電極5を含むゲートバス配線8aを形成する（図2（c））。

【0030】次に、イオン注入法により島状部3に所定のイオン、例えばn-chTFTについてはリンを、p

6

-chTFTについてはボロンを注入する。そしてエキシマレーザの照射により活性化アニールを行って不純物を活性化し、島状部3にソース領域3a及びドレイン領域3bを形成する。

【0031】この活性化アニールは、図1に示すように結晶化アニールと同様に行う。この時、エキシマレーザの長尺ビームの走査方向と基板完成時のマトリクス配線とのなす角度θが0°及び90°以外の角度、好ましくは30°～60°の範囲または120°～150°の範囲内の角度となるよう、上記長尺ビームをガラス基板に対して相対的に移動させる。これにより、ガラス基板1上に形成されたソース領域3a及びドレイン領域3bを含む島状部3上を長尺ビームが全面走査する。この時の長尺ビームの照射領域におけるエネルギー密度は250mJ/cm²～450mJ/cm²とする。

【0032】次いで、PE（プラズマ）CVD法により400nmの厚膜で酸化シリコン（SiO₂）を堆積して層間絶縁膜6を形成する。前記層間絶縁膜6はTEOS/CVD法による酸化シリコン（SiO₂）でも良い。

【0033】ゲート絶縁膜4及び層間絶縁膜6の、各ソース3a領域及びドレイン領域3bに対応する部分にコンタクト孔7を開け、アルミニウム膜を堆積及びパターンニングして配線8b、8cを形成する（図2（d））。

【0034】次に作用効果について説明する。

【0035】上述したように、エキシマレーザの長尺ビームをその照射領域Aが0.1mmのピッチでずれるよう走査することにより、長尺ビーム内に走査方向におけるエネルギー密度のバラツキが存在しても、結晶化処理や活性化処理の均一化を図ることができる。これは図4に示すように小さいピッチで照射領域Aが進行していくため、照射される総エネルギー量がアモルファスシリコン層の各部分において均一となるからである。

【0036】ところが、長尺ビームの照射ショット間でのバラツキは、図5に示すように照射領域Aが小さいピッチで進行していくことからある程度は吸収され均一化されるものの、完全には均一化されず、微妙に結晶化処理や活性化処理に反映されてしまう。

【0037】この微妙なバラツキによるTFT特性のバラツキが、ゲートバス配線8aやソースバス配線8bに沿って発生すると、高解像度の微細パルスイメージセンサー等においては、画面表示や読み取りを行う上で、上記TFT特性のバラツキによる不具合が人の目に付き易いものとなってしまう。

【0038】また、各バス配線のドライバは、通常は各バス配線との接続を簡単にねらえるよう、対応するバス配線の配列方向に沿って同じ回路を複数配置した構成となっている。このため、照射ショット毎のバラツキに起因してTFT特性のバラツキが例えばゲートバス配線に沿って発生すると、ソースバス配線のいくつかに集中して結晶性や活性化の不良が発生するだけでなく、この不

7

良の集中している配線に対応する回路も、特性不良を有するものとなる。この結果TFT特性のパラツキによる不具合がより目立ちやすいものとなる(図3(b))。

【0039】これに対し、本実施例のように、エネルギービームの走査方向を基板のマトリクス配線に対して斜めにすることにより、TFT特性の微妙なバラツキがゲートバス配線8aやソースバス配線8bに沿って発生するのを回避できる。これにより高解像度の液晶パネルやイメージセンサなどにおいてTFT特性のパラツキに起因して生ずる、画面表示や読み取りを行う上での悪影響を、人の目に感じにくいものとする(図3(a))。

【0040】このように本実施例では、基板上の半導体層を長尺ビームの照射によりアニールする際、基板完成時のマトリクス配線となす角度 θ が 0° 及び 90° 以外の方向に走査するので、上記ビームの長尺方向にTFT特性のパラツキが発生しても、ゲートバス配線又はソースバス配線に沿った不良の発生を回避することができる。これにより上記長尺ビームにより処理した半導体層を用いた高解像度の液晶パネルやイメージセンサ等において、画像表示や読み取りを行う上での不具合を、人の目に感じにくいものとする。

【0041】なお、上記実施例では、多結晶シリコン層を薄膜トランジスタの半導体活性層として用いる場合について説明したが、多結晶シリコン層はゲート電極や配線等、として用いてもよい。また本発明は多結晶シリコン層の改質のみならず、単結晶シリコン、Ge、Si-Ge等、他の半導体膜の形成にも適用することができる。

【0042】

【発明の効果】以上のように本発明によれば、基板上の半導体層を長尺ビームの照射によりアニールする際、該半導体層に形成される素子の配列方向に対して平行な方向及び垂直な方向以外の方向に上記長尺ビームを走査するようにしたので、該長尺ビームの走査方向に照射エネルギーのパラツキが生じて、該半導体層に形成されるTFTなどの素子の特性のパラツキが素子の配列方向において生ずるのを回避することができる。

【0043】これにより、画素ごとにTFTを有する高解像度の液晶パネルやイメージセンサなどにおいて、上記ビームの走査方向にTFT特性のパラツキが発生して

8

も、画素の不良の発生がゲートバス配線又はソースバス配線に沿ったものとなるのを回避することができる。この結果、高解像度の液晶パネルやイメージセンサなどにおいてTFT特性のパラツキに起因して生ずる、画面表示や読み取りを行う上での悪影響を、人の目に感じにくいものとする効果がある。

【図面の簡単な説明】

【図1】本発明の一実施例の半導体素子の製造方法における、長尺ビームの照射によるアニール処理を説明するための図である。

【図2】上記実施例の半導体素子の製造方法における薄膜トランジスタの製造工程を示す断面図である。

【図3】本発明及び従来のアニール処理による薄膜トランジスタを用いた液晶パネルなどでの画面表示の状態を説明する模式図である。

【図4】長尺ビーム内の走査方向でのエネルギー密度の均一な分布をグラフで示す図である。

【図5】長尺ビーム内の走査方向でのエネルギー密度の不均一な分布をグラフで示す図である。

【図6】従来の半導体素子の製造方法におけるビームスポット照射によるアニール処理を説明する図である。

【図7】従来の半導体素子の製造方法における長尺ビーム照射によるアニール処理を説明する図である。

【符号の説明】

1 ガラス基板

2 アモルファスシリコン層

2a 多結晶シリコン層

3a ソース領域

3b ドレイン領域

4 ゲート絶縁膜

5 ゲート電極

6 層間絶縁膜

7 コンタクト孔

8a ゲートバス配線

8b ソースバス配線

8c ドレイン電極(画素)

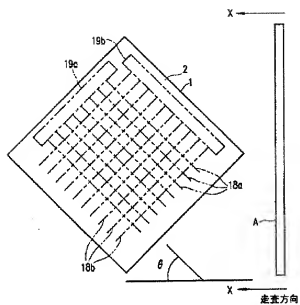
18a ゲートバス配線の配置領域

18b ソースバス配線の配置領域

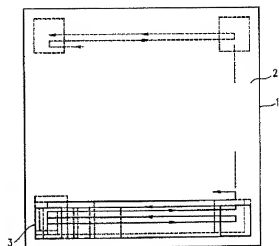
19a, 19b ドライバーの配置領域

40 A 長尺ビームの照射領域

【図 1】

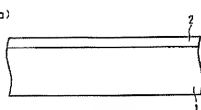


【図 6】

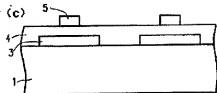


【図 2】

(a)

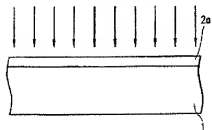


(c)

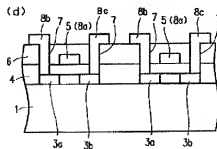


(b)

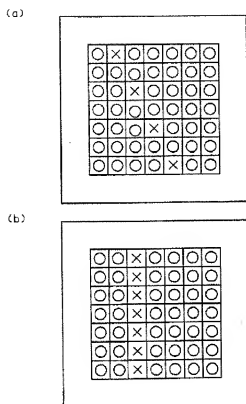
エキシマレーザ照射



(d)

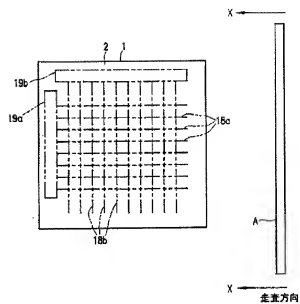


【図3】

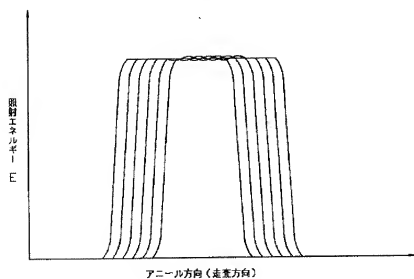


○ --- 高いな TFT 特性を持つ画素
 × --- 低いな TFT 特性を持つ画素

【図7】

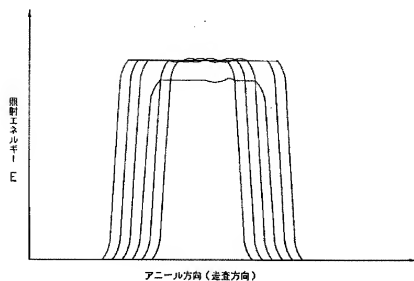


【図4】



(8)

【図5】



フロントページの続き

(51)Int.Cl.⁵

H01L 21/336

識別記号

序内整理番号

F I

技術表示箇所